

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-292992

(43)Date of publication of application : 11.11.1997

(51)Int.Cl.

G06F 9/38

(21)Application number : 08-105919

(71)Applicant : NEC ENG LTD

(22)Date of filing : 25.04.1996

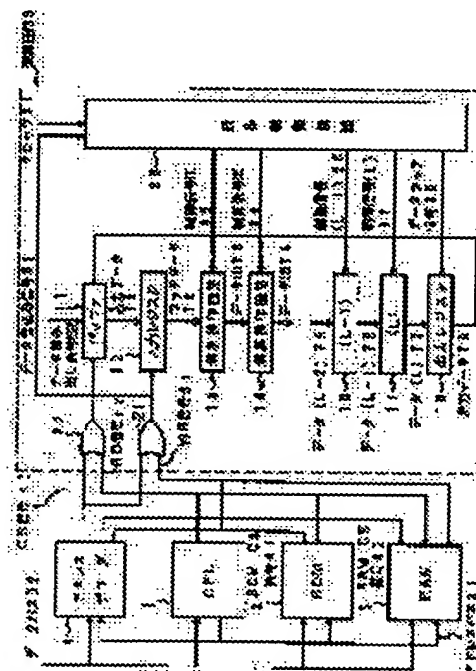
(72)Inventor : KAWASHIMA TAKAAKI

(54) ARITHMETIC CIRCUIT

(57)Abstract

PROBLEM TO BE SOLVED: To provide an arithmetic circuit capable of improving the through put of CPU and dealing with kinds of special states.

SOLUTION: This arithmetic circuit 5 consists of an OR circuit for reading data 22, an OR circuit for wiring data 21, a buffer circuit 11, an input register 12, arithmetic operation circuits (1) to (L) 13 to 17, an output register 18, an operation control circuit 23, etc. Data outputted through a data bus 32 is written in an input register 12 through the buffer circuit 11 to be held. The arithmetic operation circuit (1) 13 to (L) 17 execute prescribed arithmetic processing based on this held data and the result of the arithmetic processing is outputted to the side of CPU 1 through the data bus 32 by the buffer circuit 11. Preferably, the operation control circuit 23 is provided with an interruption control circuit informing CPU 1 of the finish of arithmetic at the arithmetic operation circuits (1) 13 to (L) 17.



LEGAL STATUS

[Date of request for examination] 11.04.2001

[Date of sending the examiner's decision of rejection] 10.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 CPUとの間で送受信されるデータが保持されるデータ保持部と、このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、
前記データ保持部および前記演算処理部を制御する制御部とを有し、
前記制御部は、前記演算処理部からの演算終了の通知の受信を契機に該演算終了を前記CPUに通知することを特徴とする演算回路。

【請求項2】 CPUとの間で送受信されるデータが書込まれて保持されるデータ保持部と、
このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、
前記データ保持部および前記演算処理部を制御する制御部とを有し、
前記制御部は、前記演算処理部における演算処理中にイレギュラージョブが発生したことを検出した場合は、その旨を前記CPUに通知して前記イレギュラージョブの処理権を前記CPUに引き渡すことを特徴とする演算回路。

【請求項3】 CPUとの間で送受信されるデータが書込まれて保持されるデータ保持部と、
このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、
前記演算処理部における演算処理結果を前記CPU以外の外部回路へデータ転送する手段を備えた制御部とを有することを特徴とする演算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、演算回路に関し、特に、デジタル通信装置等に使用される演算回路に関する。

【0002】

【従来の技術】従来、CPU（プログラムされた主制御手段：中央処理装置、以下同じ）を有するパネルや装置などにおいて、画一化された固定処理を行う場合には、該当する演算処理を必要個数分だけ順次行う処理方法が実施されている。このような演算をCPU内部で行う場合には、ROM（読出専用メモリ、以下同じ）に記憶された必要な演算の処理内容を読み出し、CPU内部の演算レジスタを用いてこの演算を行う構成がとられる。また、演算処理の内容により演算テーブルが必要な場合には、RAM（書換可能メモリ、以下同じ）を演算テーブルに使用していた。

【0003】また、CPUの外部に演算回路を設けることで処理の高速化を図るようにした構成も知られている。この場合、CPUは、演算すべきデータを演算回路に渡してその処理内容を監視しながら終了を待つとともに、演算回路による演算処理結果のデータをCPUが読

み出す方法がとられている。

【0004】

【発明が解決しようとする課題】ところが、上記のようにCPU自体が演算処理を行う構成では、CPUに与えられる処理項目が多い場合、項目当たりの処理時間と項目数の積の処理時間を全体の処理に予め盛り込んでおく必要がある。また、CPUの処理項目数や処理内容の発生頻度により、CPUのスループットが低下するという問題点がある。

10 【0005】一方、上記従来のCPU外部に演算回路を設ける構成の場合、上記のようなCPUのスループットが低下する問題は軽減されるものの、演算回路における処理中にイレギュラージョブ、例えば特別な条件やイベントが発生した場合については何等考慮されておらず、このような特殊状態には対処できないという欠点がある。また、演算回路による演算処理結果をCPU以外の外部回路にデータ転送する場合にも何等考慮されておらず、このような特殊状態には対処できないという欠点があった。

20 【0006】そこで本発明の課題は、CPUのスループットを向上させることができ、種々の特殊状態にも対応可能な演算回路を提供することにある。

【0007】

【課題を解決するための手段】本発明の演算回路は、CPUとの間で送受信されるデータが保持されるデータ保持部と、このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、前記データ保持部および前記演算処理部を制御する制御部とを有し、前記制御部が、前記演算処理部からの演算終了の通知の受信を契機に該演算終了を前記CPUに通知すること

30 を特徴とする。
【0008】また、本発明の他の演算回路は、CPUとの間で送受信されるデータが書込まれて保持されるデータ保持部と、このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、前記データ保持部および前記演算処理部を制御する制御部とを有し、前記制御部が、前記演算処理部における演算処理中にイレギュラージョブが発生したことを検出した場合は、その旨を前記CPUに通知して前記イレギュラージョブの処理権を前記CPUに引き渡すことを特徴とする。

40 【0009】さらに、本発明の他の演算回路は、CPUとの間で送受信されるデータが書込まれて保持されるデータ保持部と、このデータ保持部に保持されているデータに基づいて所定の演算処理を行う演算処理部と、前記演算処理部における演算処理結果を前記CPU以外の外部回路へデータ転送する手段を備えた制御部とを有することを特徴とする。

50 【0010】上述の各演算回路では、処理シーケンスの定まった特定の演算処理などをCPU以外の演算回路で

行うことで、当該演算処理のためにCPUが占有されることがなくなり、CPU内部における場合よりも速く演算を行うことが可能となって、演算処理自体のスループットが向上できる。

【0011】そして、演算回路での演算終了がCPUに通知されることで、CPUは、従来のように演算中の処理内容を監視しながら終了を待つ必要がなくなる。また、演算回路での処理中に特別な条件やイベント等が発生した場合にはCPUに通知して処理を引き渡したり、演算回路自体が演算処理結果をCPU以外の外部回路にデータ転送して処理を終了することで、種々の特殊状態にも対応できる。

【0012】

【発明の実施の形態】以下に、本発明の実施の形態の演算回路を説明する。図1は、本発明の一実施形態に係る演算回路を含むシステム全体の概要を示したブロック図である。

【0013】このシステムは、CPU1、ROM2、RAM3、アドレスデコーダ4、並びに演算回路5から構成される。この演算回路5は、データ読み出し用のOR回路22、データ書き込み用のOR回路21、バッファ回路11、入力レジスタ12、演算操作回路(1)～

(L)13～17、出力レジスタ18、操作制御回路23などから構成される。ここで、アドレスデコーダ4は、CPU1からの演算回路5を示すアドレス信号を、演算回路5をアクセスするための信号であるCS信号に変換するものである。

【0014】バッファ回路11は、データ読み出し用のOR回路22からの出力であるデータ読み出し信号62に応じて、出力レジスタ18からの出力データ78、あるいはデータバス32との間におけるデータの方向制御を行う。入力レジスタ12は、バッファ回路11からの入力データ71のラッチを行う。演算操作回路(1)～(L)13～17は、入力レジスタ12からのラッチデータ72あるいはデータ73～76の演算を行う。出力レジスタ18は、演算操作回路(L)17からのデータ77のラッチを行う。

【0015】操作制御回路23は、クロック81の入力により、入力レジスタ12、演算操作回路(1)～

(L)13～17、出力レジスタ18に対して動作の制御を行うものである。OR回路21は、アドレスデコーダ4からのCS信号43とCPU1からのWR信号51をゲートするデータ書き込み用のOR回路である。また、OR回路22は、アドレスデコーダ4からのCS信号43とCPU1からのRD信号52をゲートするデータ読み出し用ORの回路である。

【0016】以上の構成となる本実施形態の演算回路において、CPU1に特定の演算処理が発生した場合、CPU1は、演算回路5を示すアドレスをアドレスバス31に出力する。アドレスバス31のアドレスは、アドレ

スデコーダ4でCS信号43に変換され、OR回路21とOR回路22に出力される。また、CPU1は、演算処理を行うデータをデータバス32に出力するとともに、WR信号51を出力する。OR回路21は、CS信号43とWR信号51とをゲートしてデータ書き込み信号61を出力する。

【0017】上記のように出力されたデータバス32上のデータは、バッファ回路11を経て入力レジスタ12に書き込まれる。なお、入力レジスタ12への書き込みは、OR回路21からの書き込み信号61により行われる。また、データ書き込み時において、この書き込み信号61は操作制御回路23にも出力され、これにより各回路の操作が開始される。

【0018】ここで、クロック81は、十分に高速なクロックであり、操作制御回路23は、このクロック81により動作を行う。入力レジスタ12に書き込まれたデータ71は、ラッチデータ72として演算操作回路(1)13に出力される。

【0019】演算操作回路(1)13は、操作制御回路23が出力する制御信号(1)93により所定の演算を開始し、またこの演算終了後のデータ(1)73を演算操作回路(2)14に出力する。演算操作回路(2)14は、操作制御回路23が出力する制御信号(2)94により演算を開始し、演算終了後のデータ(2)74を次段の演算操作回路(L-1)16などに順次出力する。

【0020】このようにして演算が繰り返されて、最終的に、演算操作回路(L)17は、データ(L)77を出力レジスタ18に出力する。出力レジスタ18は、操作制御回路23が出力するデータラッチ信号98により、データ(L)77を演算処理結果としてラッチする。なお、当然のことではあるが、操作制御回路23が出力する各々の制御信号93、94、96、97やデータラッチ信号98は、各々の演算操作回路13～17の処理時間の間隔にあわせて出力される。

【0021】そして、CPU1において上記の演算処理結果を読み出す場合には、CPU1は、まず、演算回路5を示すアドレスをアドレスバス31に出力する。このアドレスバス31のアドレスは、アドレスデコーダ4でCS信号43に変換され、OR回路21とOR回路22にそれぞれ出力される。

【0022】CPU1はさらに、演算処理結果を読み出すために、RD信号52を出力する。すると、OR回路22は、CS信号43とRD信号52をゲートしてデータ読み出し信号62を出力する。これにより、出力レジスタ18上のデータは、バッファ回路11を経てデータバス32に出力される。そして、CPU1は、データバス32上の演算処理結果を読み込み、これにより、一連の演算動作が終了する。なお、演算操作を再度行う場合には、以上の処理が繰り返されて実行される。

【0023】なお、以上説明した図1の演算回路5において、操作制御回路23に割り込み制御回路を設けて、演算終了をCPUに通知する構成としても良い。また、この割り込み制御回路により、演算処理中にイレギュラージョブ、例えば特別な条件やイベントが発生した場合において、このような条件やイベントの発生をCPUに通知して、これらの条件やイベントに対応する処理権をCPUに引き渡し、別処理のモードに入る構成としても良い。

【0024】次に、図2～図4により、本発明の他の実施形態を説明する。図2は、本発明をデジタル通信装置などの送信制御部に適用した場合の演算回路50の例を示すブロック図である。この演算回路50は、受信データ202および受信クロック201を入力して受信同期を確立する。また、演算回路50は、システムクロック203を入力することにより、送信タイミングを生成して、送信クロック417と送信データ416を出力する。

【0025】なお、受信データは、例えば図4(a)に示したように、先頭のkビット長のヘッダUWに続く連続したフレーム構成(1フレーム長)のものである。また、送信データ416は、例えば図4(b)に示したような、1フレーム長が4スロットからなるものである。そして、CPU1が演算回路5に書き込みを行ったデータに対してデータを一時格納して送信タイミングを考慮し、データ先頭にヘッダ情報Hを付加して送信データ416として送信する。

【0026】また、図2において、アドレスデコーダ4からのCS信号301、およびCPU1からのRD信号303とWR信号302は、上記した実施形態のものと同様であり、同様にデータ書き込み用のOR回路114とデータ読み出し用のOR回路115に入力されて、データ書き込み信号304とデータ読み出し信号305を得るために使用される。さらに、アドレスバス306、データバス307も上記の実施の形態と同様である。

【0027】演算回路50は、図3に詳細に示したように、UV検出回路101、同期検出回路102、フレームカウンタ回路103、クロック発生回路104、制御情報回路105、データラッチ回路106、送信データ書き込み回路107、送信データ格納回路108、データ計数回路109、送信タイミング制御回路110、送信データ読み出し回路111、ヘッダ付加回路112、割り込み制御回路113などから構成される。

【0028】ここで、図3の回路構成に係る演算回路50の動作条件は以下の通りである。

(1) 割り込み信号503により、受信同期の同期確立および同期はずれをCPU1に通知する。

(2) 受信データ202の使用法は、受信同期確立以外に特に言及しない。

(3) 受信同期確立時のみに送信データ416を送信する。

(4) 受信フレームと送信フレームの周期は同一である。但し、互いのフレームの位相関係については言及しない。

(5) 送信データ格納回路108は、データラッチ回路106のn倍の大きさである。

(6) CPU1は、送信すべきデータがある場合、データラッチ回路106の空き状態を制御情報レジスタ回路105の内容(転送終了信号402)を読み出すことで確認し、その後にデータを書き込む。

(7) CPU1は、送信すべきデータを書き込みした後、制御情報レジスタ回路105に対して書き込み終了信号(転送指示信号401)を書き込む。

(8) 送信データ格納回路108のフル(FULL)とエンプティ(EMPTY)を割り込み信号503によりCPU1に通知する。

(9) CPU1は、制御情報レジスタ回路105に割り込み解除信号504を書き込みことで、割り込み信号503の解除を行う。

(10) CPU1は、制御情報レジスタ回路105に転送指示信号401を書き込むことで、データラッチ回路106へのデータ書き込み終了を通知する。

(11) CPU1は、制御情報レジスタ回路105の内容を読み出し、同期信号207から受信同期確立の有無を、Fフラグ信号501から送信データ格納回路108のフル状態を、Eフラグ信号502から送信データ格納回路108のエンプティ状態を、転送終了信号402からデータラッチ回路106の空き状態を、それぞれ認識する。

【0029】次に、図3の構成に係る演算回路50の動作を説明する。

(1) 受信同期処理

受信データ202は、UW検出回路101に入力されkビット長のUW検出が行われる。UW検出回路101は、UWを検出すると、UW検出記号204を同期検出回路102に出力する。同期検出回路102は、同期はずれ時における第1回目のUW検出記号204のみをロード信号205としてフレームカウンタ回路103に出力する。

【0030】フレームカウンタ回路103は、ロード後、次のロード信号205が来ないかぎり、自走でフレームカウンタを継続し、フレームパルス信号206を出力する。同期検出回路102は、UW検出信号204とフレームパルス信号206により前方保護x、後方保護yの同期検出を行い、同期確立の有無を判断する。

【0031】同期検出回路102は、同期確立の有無を、送信タイミング制御回路110と割り込み制御回路113と制御情報レジスタ回路105に、同期信号207によって通知する。また、フレームカウンタ回路10

3は、フレームパルス信号206を同期検出回路102と送信タイミング制御回路110に出力する。UW検出回路101と同期検出回路102とフレームカウンタ回路103は、受信クロック201により動作する。

【0032】クロック発生回路104は、システムクロック203により動作する。クロック発生回路104は、送信クロック417を送信タイミング制御回路110と送信データ読み出し回路111とヘッダ付加回路112に出力する。クロック発生回路104は、処理クロック418を送信データ書き込み回路107と送信データ読み出し回路111に出力する。ここで、処理クロック418は、送信クロック417と比較して十分に高速なクロックである。

【0033】(2) 送信タイミングの生成
送信タイミング制御回路110は、フレームパルス信号206と同期信号207と送信クロック417により、タイミング信号414を出力する。なお、タイミング信号414は、図4(b)の送信データの各ヘッダ情報Hの先頭位置に存在するパルス信号である。

【0034】送信タイミング制御回路110は、送信データ読み出し回路111とヘッダ付加回路112に、タイミング信号414を出力する。送信タイミング制御回路110は、同期信号207によって受信同期はずれを通知された場合には、タイミング信号414の出力を停止する。タイミング信号414の停止により、送信データ416の出力は禁止となる。

【0035】(3) CPUからの送信データの書き込み
CPU1が送信すべきデータの書き込みを行う場合には、CPU1はまず、制御情報レジスタ回路105内の転送終了信号402を読み出して転送が終了していることを確認する。そして、転送終了を確認した後に、CPU1は、データラッチ回路106にデータの書き込みを行う。また、データ書き込み後において、CPU1は、制御情報レジスタ回路105に転送指示信号401を書き込む。

【0036】(4) 送信動作
送信データ書き込み回路107は、転送指示信号401によりデータラッチ回路106から送信データ格納回路108へデータの転送を行う。送信データ書き込み回路107は、データの転送終了後、制御情報レジスタ回路105に転送終了信号402を、データ計数回路109に加算信号409をそれぞれ出力する。送信データ読み出し回路111は、タイミング信号414の入力により、送信データ格納回路108からデータの読み出しを行い、シリアルデータ415としてヘッダ付加回路112に出力する。

【0037】ヘッダ付加回路112は、タイミング信号414が入力されると、送信データ416へのヘッダデータの出力を開始する。また、ヘッダ付加回路112は、ヘッダデータを出力した後、シリアルデータ415

を送信データ416として出力する。送信データ読み出し回路111は、転送終了後に減算信号413をデータ計数回路109に出力する。

【0038】データ計数回路109は、加算信号409と減算信号413から、送信データ格納回路108内のデータ数を計数する。そして、データ計数回路109は、計数値がフルの場合には、割り込み制御回路113と制御情報レジスタ回路105に、Fフラグ信号501をそれぞれ出力する。さらに、データ計数回路109は、計数値がエンプティの場合には、割り込み制御回路113と制御情報レジスタ回路105に、Eフラグ信号502をそれぞれ出力する。

【0039】そして、割り込み制御回路113は、同期信号207とFフラグ信号501とEフラグ信号502のいずれかに状態変化があった場合には、割り込み信号503をCPU1に対して出力する。また、割り込み制御回路113は、制御レジスタ回路105からの割り込み解除信号504の入力により、割り込み信号503を解除する。

【0040】このように、本発明では、処理シーケンスの定まった特定の演算処理において、CPUが行うべき演算処理を演算回路5、50が実行するので、このような演算処理によりCPUが占有されることがなくなる。また、CPU内部で実行される操作よりも早い速度で演算が行われるので、演算処理速度の向上も図れる。

【0041】

【発明の効果】以上の説明から明らかなように、本発明によれば、CPUのスループットが向上するとともに、種々の特殊状態に対応可能である演算回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の演算回路を用いたシステム構成を示したブロック図。

【図2】本発明の他の実施形態の演算回路を用いたシステム構成を示したブロック図。

【図3】図2の演算回路の詳細な構成を示したブロック図。

【図4】(a)は図3の演算回路で処理を行う送信データのフォーマットを、(b)は同じく受信データのフォーマットをそれぞれ示した説明図。

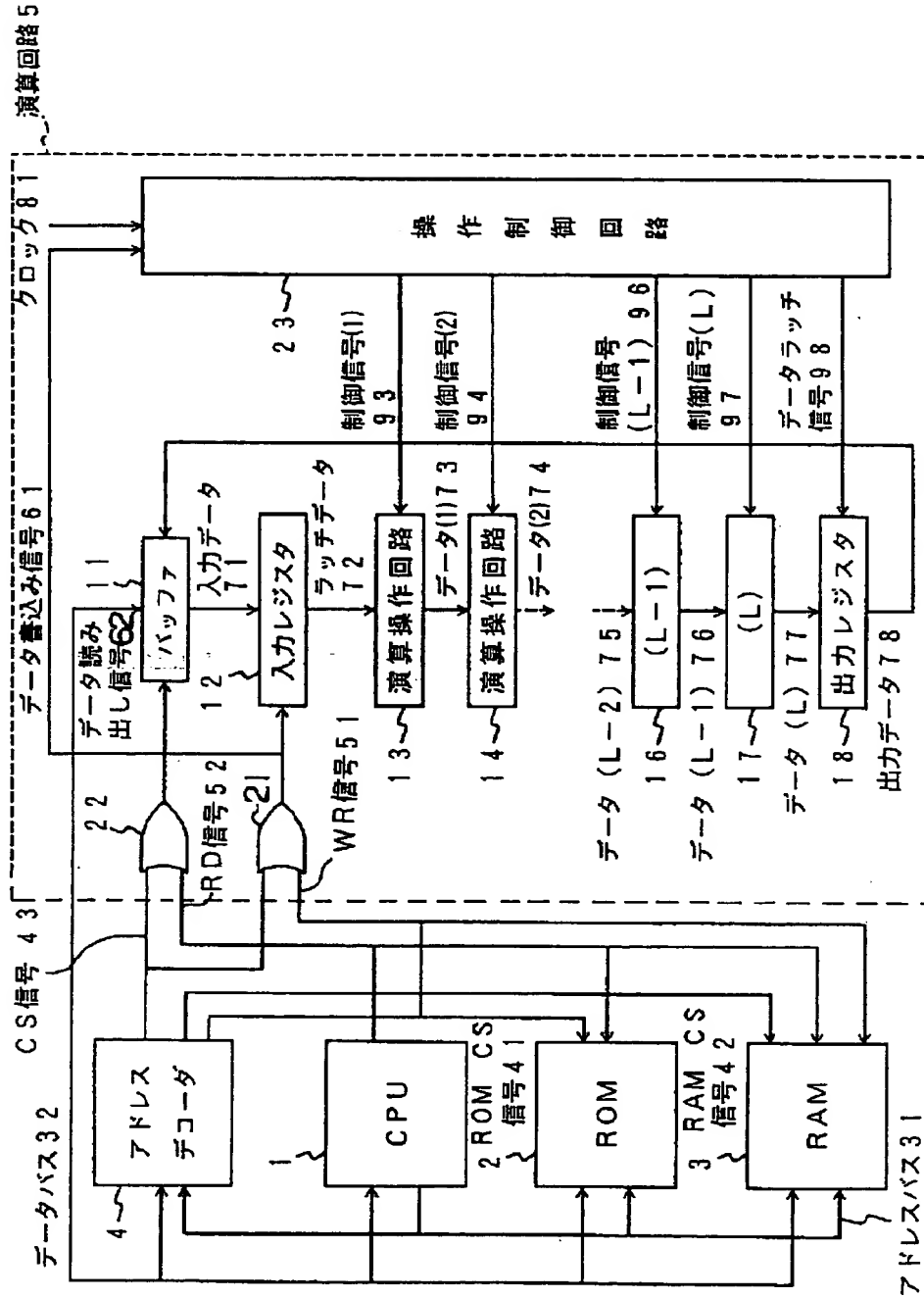
【符号の説明】

5、50 演算回路
11 バッファ回路
12 入力レジスタ
13、14、16、17 演算操作回路
18 出力レジスタ
21、22 OR回路
23 操作制御回路
105 制御情報レジスタ回路
106 データラッチ回路

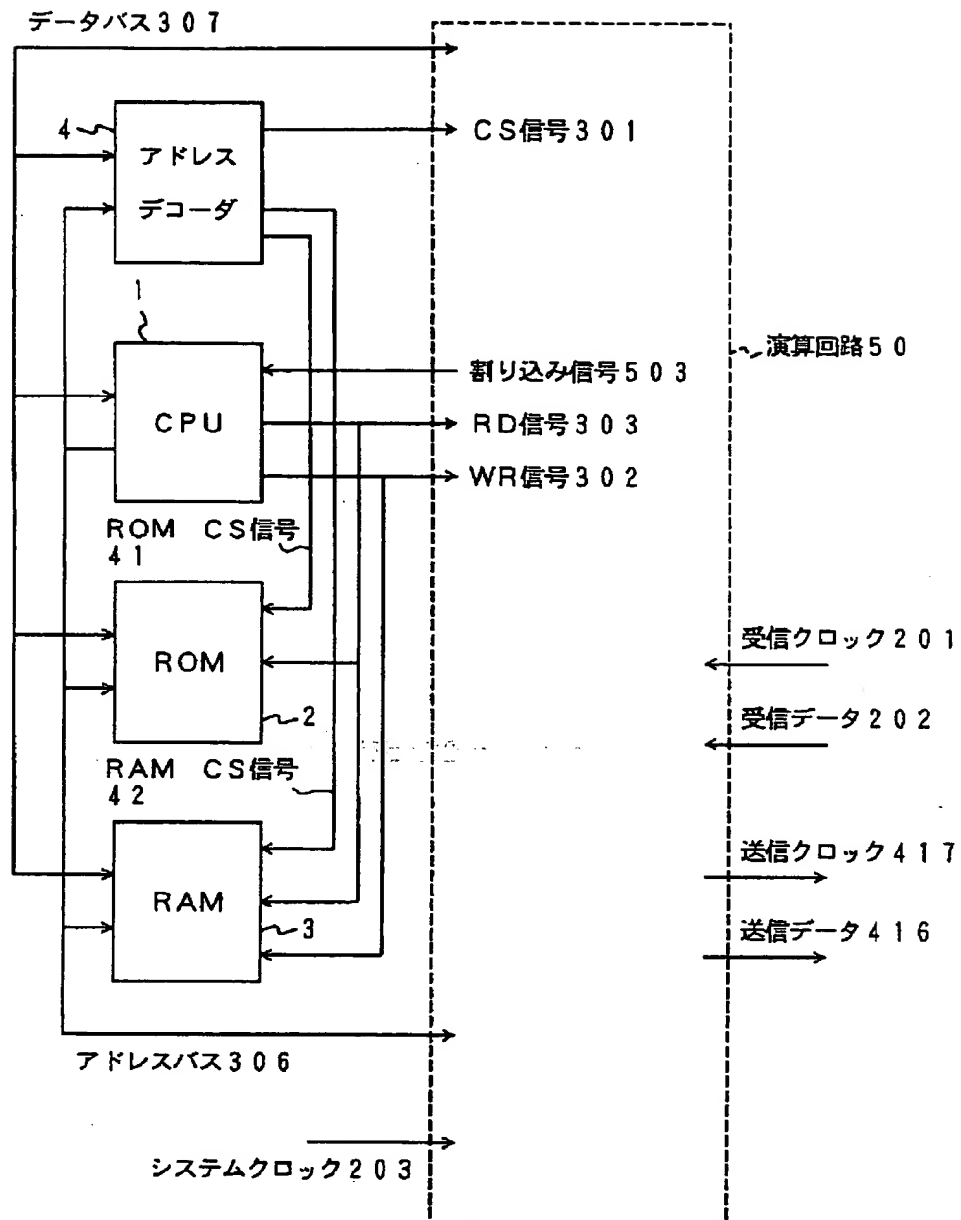
110 送信タイミング制御回路
111 送信データ読み出し回路

* 112 ヘッド付加回路
* 113 割り込み制御回路

【図1】

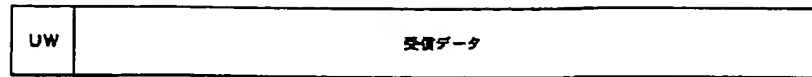


【図2】

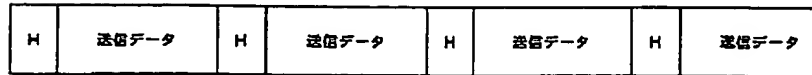


[illegible]

【図4】



(a) 受信データ202 (1フレーム長)



(b) 送信データ416 (1フレーム長: 4スロット)